

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299981

(43)Date of publication of application : 24.10.2000

(51)Int.CI.

H02M 3/28

(21)Application number : 11-106031

(71)Applicant : NEC CORP

(22)Date of filing : 14.04.1999

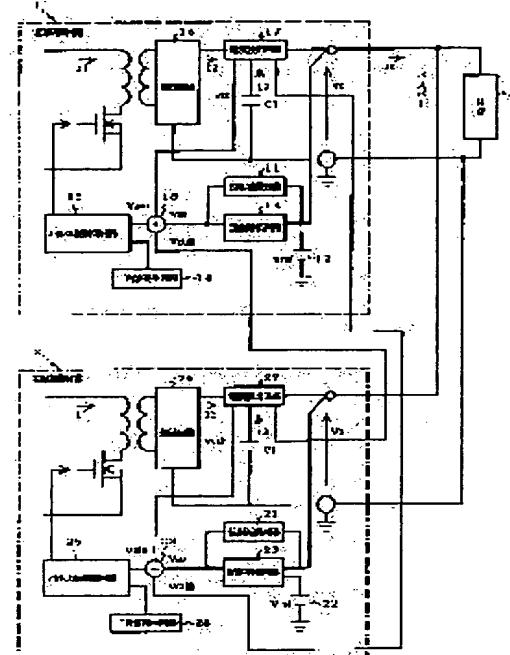
(72)Inventor : HARADA HISATSUGU

## (54) POWER SUPPLY SYSTEM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a power supply system, capable of realizing a high speed response system improving the response speed to load fluctuation.

**SOLUTION:** Current detecting circuits 17, 27 detect changes in the output current fluctuation by detecting charging and discharging currents of an output capacitor C1. These outputs are added to the output of the error detection circuits 13, 23 without passing through the error amplifier circuits 13, 23 and then are input to pulse width control circuits 15, 25. Also, the outputs detected by current detection circuits 17, 27 are added to the output from the error detection circuits 23, 13 by adding circuits 18, 28, without going through the error-amplifying circuits 23, 13 within other power supplies in parallel operation and then input to pulse width control circuits 25, 15. In this way, in response to sudden fluctuations in the load circuit 3, there is no delay to the response by the error-amplifying circuits 13, 23, thereby permitting the control of the voltage of the power supply system and quickening the output voltage control.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-299981

(P2000-299981A)

(43)公開日 平成12年10月24日 (2000.10.24)

(51) Int.Cl.<sup>7</sup>  
H 02 M 3/28

識別記号

F I  
H 02 M 3/28

テ-マコード<sup>\*</sup>(参考)  
H 5 H 7 3 0  
W

審査請求 有 請求項の数7 O L (全9頁)

(21)出願番号 特願平11-106031

(22)出願日 平成11年4月14日 (1999.4.14)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 原田 久嗣

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100088812

弁理士 ▲柳▼川 信

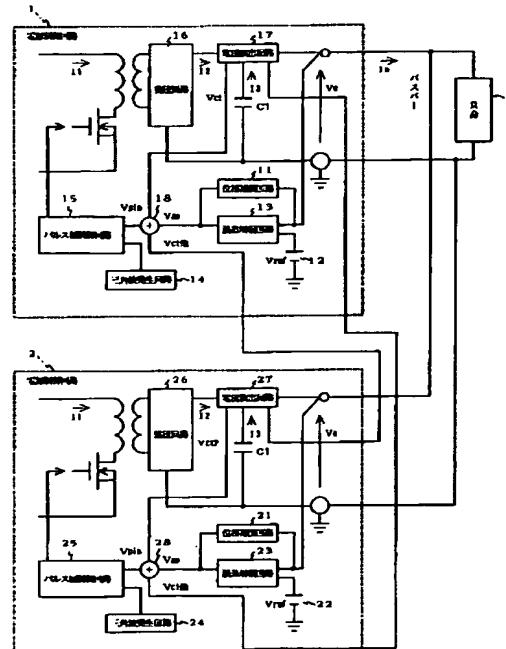
Fターム(参考) 5H730 AA16 AS01 BB23 BB82 DD04  
FD01 FD38 FF02 FF11 FC05

(54)【発明の名称】 電源システム

(57)【要約】

【課題】 負荷変動に対する応答速度が改善される高速応答のシステムを実現可能な電源システムを提供する。

【解決手段】 電流検出回路17, 27では出力コンデンサC1の充放電電流を検出することで、出力電流変動の変化分を検出している。その出力は誤差増幅回路13, 23を介さずに誤差検出回路13, 23の出力に加算され、パルス幅制御回路15, 25へと入力される。また、電流検出回路17, 27で検出された出力は並列運転中の他の電源内の誤差増幅回路23, 13を介さずに、加算回路18, 28で誤差検出回路23, 13の出力に加算され、パルス幅制御回路25, 15へと入力される。これによって、負荷回路3の急激な変動に対し、誤差増幅回路13, 23による応答の遅れがなく、電源システムの電圧を制御することが可能となり、出力電圧制御が高速化される。



## 【特許請求の範囲】

【請求項1】並列運転される複数の電源回路と、各々前記電源回路の出力電圧と予め設定された基準電圧との比較を行う誤差增幅回路を含みかつ前記誤差增幅回路の比較結果に応じて前記電源回路の出力電圧を一定に保つ複数の電源制御回路とからなる電源システムであって、自回路に対応する電源回路の出力電流の変動分を検出する検出手段と、前記検出手段の検出値を前記誤差增幅回路の比較結果に加算する加算手段とを前記複数の電源制御回路各々に有することを特徴とする電源システム。

【請求項2】前記複数の電源回路各々は、定電圧制御が行われるよう構成したことを特徴とする請求項1記載の電源システム。

【請求項3】前記複数の電源回路各々は、一石フォワード型の電源であること特徴とする請求項2記載の電源システム。

【請求項4】前記加算手段は、前記検出手段の検出値と前記誤差增幅回路の比較結果とを抵抗分圧する複数の抵抗からなることを特徴とする請求項1から請求項3のいずれか記載の電源システム。

【請求項5】前記検出手段の検出値を他回路に通知する通知手段を前記複数の電源制御回路各々に含み、前記加算手段は、前記検出手段の検出値と他回路の前記通知手段から通知された検出値と前記誤差增幅回路の比較結果とを加算するよう構成したことを特徴とする請求項1から請求項4のいずれか記載の電源システム。

【請求項6】前記検出手段は、前記電源回路の出力電流の変動分を検出するカレントトランスと、前記カレントトランスで検出された前記変動分による電圧値を発生して前記検出値として出力する電流検出抵抗とを含むことを特徴とする請求項1から請求項5のいずれか記載の電源システム。

【請求項7】前記検出手段は、前記電源回路の出力電流の変動分を検出するカレントトランスと、前記カレントトランスで検出された前記変動分による電圧値を発生して前記検出値として出力する電流検出抵抗とを含み、前記カレントトランスを前記電源回路の出力電流経路上の出力コンデンサと直列に接続するようにしたことを特徴とする請求項1から請求項5のいずれか記載の電源システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は電源システムに関し、特にLSI(大規模集積回路)へ電力を供給する電源システムにおいて定電圧制御を行っている電源回路の制御回路に関する。

## 【0002】

【従来の技術】近年、LSIの高速化に伴い、LSIが動作するために必要な電力供給の変動量が大きく、かつ高速になってきている。このことによって、LSIへ電

力を供給する電源システムも、このLSIの電力応答を満足させるべく出力の応答特性の高速化が求められている。

【0003】しかしながら、現状の電源システムにおいて定電圧制御を行っている電源回路の制御回路は、図5に示すように、出力電圧 $V_o$ と予め設定された基準電圧( $V_{ref}$ )12, 22との比較を行う誤差增幅回路13, 23と、誤差增幅回路13, 23の周波数特性を調整する位相補償回路11, 21と、パルス幅制御回路15, 25の基準三角波を発生する三角波発振回路14, 24と、誤差增幅回路13, 23の出力値 $V_{ao}$ と三角波発振回路14, 24で作られる基準三角波とで電圧-パルス幅変換を行いつつメインスイッチングパルスのパルス幅変調を行うパルス幅制御回路15, 25とから構成されている。

【0004】図5に示す電源制御回路4, 5において、負荷回路3での電流が増加することで出力電流 $I_o$ が増加し、出力電圧 $V_o$ が低下した場合、誤差增幅回路13, 23では基準電圧12, 22との比較によってその出力 $V_{ao}$ が上昇し、パルス幅制御回路15, 25へと入力される。

【0005】パルス幅制御回路15, 25では誤差增幅回路13, 23の出力値 $V_{ao}$ の上昇によって、メインスイッチングパルスのパルス幅を広げる。パルス幅が広がることによって1次電流 $I_1$ が増加し、メイントランス(整流回路)16, 26を介して2次電流 $I_2$ が増加する。これによって、出力電流 $I_o$ が増加し、出力電圧 $V_o$ は一定に保たれる。

【0006】逆に、出力電圧 $V_o$ が増加した場合には誤差增幅回路13, 23の出力 $V_{ao}$ が下がり、パルス幅制御回路15, 25へと入力される。パルス幅制御回路15, 25によってメインスイッチングパルスのパルス幅が狭められ、出力電圧 $I_o$ が減少することから、出力電圧 $V_o$ は一定に保たれる。

【0007】上記のように、出力の定電圧制御は出力電圧 $V_o$ と基準電圧12, 22とが等しくなるようにパルス幅制御され、誤差增幅回路13, 23へとフィードバックされることで行っている。また、電源制御回路4, 5はフィードバック制御系の安定のため、誤差增幅回路13, 23に位相補償回路11, 21が必要となる。

## 【0008】

【発明が解決しようとする課題】上述した従来の電源制御回路では、負荷変動時、誤差增幅回路と位相補償回路による遅延によって応答特性が低下するという問題がある。また、従来の電源制御回路では、これら電源を複数台並列運転している時、それぞれの電源と負荷との間の給電バスやケーブル等のインピーダンスの差異によって、応答特性がばらつくという問題もある。

【0009】そこで、本発明の目的は上記の問題点を解消し、負荷変動に対する応答速度が改善される高速応答

のシステムを実現することができる電源システムを提供することにある。

【0010】

【課題を解決するための手段】本発明による電源システムは、並列運転される複数の電源回路と、各々前記電源回路の出力電圧と予め設定された基準電圧との比較を行う誤差増幅回路を含みかつ前記誤差増幅回路の比較結果に応じて前記電源回路の出力電圧を一定に保つ複数の電源制御回路とからなる電源システムであって、自回路に対応する電源回路の出力電流の変動分を検出する検出手段と、前記検出手段の検出値を前記誤差増幅回路の比較結果に加算する加算手段とを前記複数の電源制御回路各自に備えている。

【0011】すなわち、本発明の電源制御回路は、各々定電圧制御が行われている複数台の電源回路で並列運転している電源システムにおいて、出力電流の変動分を検出する電流検出手路を複数台の電源回路各自に有し、その検出結果を並列運転している残りの電源回路に通知し、通知された電源回路が通知された検出結果他と自回路の電流検出手路にて検出した検出結果と出力電圧と基準電圧との誤差増幅結果とを加算して電圧制御を行っている。これによって、負荷変動に対する応答速度が改善される高速応答の電源システムが実現可能となる。

【0012】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例による電源制御回路の構成を示す図である。図1においては、一石フォワード型の電源における2台の並列運転時の電源制御回路を示している。

【0013】本発明の一実施例による電源制御回路1, 2は、電流検出手路17, 27と、加算回路18, 28とを設けた以外は、図5に示す従来の電源制御回路と同様の構成となっており、同一構成要素には同一符号を付している。また、同一構成要素の動作は従来の電源制御回路と同様である。

【0014】電流検出手路17, 27では出力コンデンサC1の充放電電流を検出することで、出力電流変動の変化分を検出している。その出力は誤差増幅回路13, 23を介さずに誤差検出手路13, 23の出力に加算され、パルス幅制御回路15, 25へと入力される。加えて、電流検出手路17, 27で検出された出力は並列運転中の他の電源内の誤差増幅回路23, 13を介さずに、加算回路18, 28で誤差検出手路23, 13の出力に加算され、パルス幅制御回路25, 15へと入力される。

【0015】これによって、負荷回路3の急激な変動に対し、誤差増幅回路13, 23による応答の遅れがなく、電源システムの電圧を制御することが可能となり、出力電圧制御が高速化される。

【0016】図2は図1の電流検出手路17, 27の構

成例を示す図である。図2において、電流検出手路17, 27はカレントトランジスタ19と電流検出抵抗20とから構成されている。

【0017】カレントトランジスタ19は出力電流経路上に、出力コンデンサC1の入力側と出力側とに同じ巻数で逆極性になるように、1次巻線が挿入されている。1次巻線n11とn12とで流れる電流値に差異がある場合、その差分(Ind11 - Ind12)にカレントトランジスタ19の巻数比Nを乗じた電流Ind2が2次巻線に流れれる。つまり、電流Ind2は、

$$Ind2 = (Ind11 - Ind12) \times N$$

で表される。

【0018】カレントトランジスタ19の2次側に電流Ind2が流れることで、電流検出抵抗20の両端に、その抵抗値Zと電流Ind2とを乗じた電圧Vctが発生する。この電圧Vctは、

$$Vct = Ind2 \times Z = (Ind11 - Ind12) \times N \times Z$$

で表される。このようにして、出力コンデンサC1の入出力の差分に比例した電圧Vctが検出される。

【0019】図3は図1の加算回路18, 28の構成例を示す図である。図3において、加算回路18, 28は電流検出手路17, 27の検出結果と誤差増幅回路13, 23の出力を抵抗R1, R2で抵抗分圧することによって電流検出手路17, 27の検出結果と誤差増幅回路13, 23の出力を加算するよう構成し、その抵抗分圧値をパルス幅制御回路15, 25に入力する。

【0020】これら図1～図3を参照して本発明の一実施例による電源制御回路1, 2の動作について説明する。まず、負荷回路3で急激な電流変動が発生した場合の動作について図1を参照して説明する。

【0021】この場合、負荷の変動ΔIが発生した瞬間、出力電流IoがΔI分だけ不足するので、出力コンデンサC1から放電電流Ind3が流れる。この時、出力電圧V0は出力コンデンサC1の内部インピーダンスによってΔV低下する。また、この時、電流検出手路17, 27では出力コンデンサC1からの放電電流Ind3に比例した値Vctが検出される。

【0022】一方、誤差増幅回路13, 23では出力電圧V0の低下によって、基準電圧12, 22との比較によって出力Va0が上昇する。しかしながら、誤差増幅回路13, 23には位相補償回路11, 21が接続されているため、誤差増幅回路13, 23の出力Va0には遅れtdが存在することとなる。

【0023】並列運転している別の電源回路でも上記と同様の回路動作によって発生した“Vct他”が検出される。これらの検出結果(VctとVct他とVa0)は加算回路18, 28によって加算され、その加算結果Vpinがパルス幅制御回路15, 25へと入力される。この加算結果Vpinは、

$$Vpin = Vct + Vct_{他} + Va0$$

で表される。

【0024】パルス幅制御回路15, 25では上記の加算結果 $V_{pin}$ に伴ってメインイッチングパルスのパルス幅を広げ、出力電圧 $V_o$ が上昇して定電圧に回復する。この加算結果 $V_{pin}$ には出力電流変動値に比例した電圧が加えられているために高速に反応するので、電源回路の応答が改善される。

【0025】また、電流検出回路17, 27では放電電流 $I_3$ が流れたあと、充電電流が流れるために検出値 $V_{ct}$ が低下するが、誤差增幅回路13, 23の出力も増加するので、加算結果 $V_{pin}$ が大きく低下することはない。

【0026】加えて、2台の並列運転中に負荷変動が発生した時、電源それぞれと負荷とを接続するバスバーのインピーダンスの相違や、電源内の出力コンデンサの内部インピーダンスの相違によって、検出値 $V_{ct}$ の検出時間がそれぞれの電源で異なるが、相手側の検出値 $V_{ct}$ を加算しているため、負荷変動時に検出値 $V_{ct}$ の検出が遅れた電源も高速に反応することができる。

【0027】次に、負荷回路3での電流変動がない定常状態における動作について説明する。この場合、電流検出回路17, 27では出力コンデンサC1へのリップル電流分しか検出されない。このリップル電流分の検出値は急激な負荷変動による電流検出値に比べて充分小さいためにゼロとみなせるので、動作は従来の電源制御回路での制御と同じとなる。

【0028】図4は本発明の他の実施例による電流検出回路の構成例を示す図である。図4において、電流検出回路はカレントトランジスタ19を出力コンデンサC1と直列に接続するようにした以外は図2に示す本発明の一実施例による電流検出回路17, 27と同様の構成となつており、同一構成要素には同一符号を付してある。

【0029】この電流検出回路の検出方法は本発明の一実施例による電流検出回路17, 27と同様である。ただし、その検出値 $V_{ct}$ は、

$$V_{ct} = I_{n1} \times N \times Z$$

で表される。

【0030】このように、複数台で並列運転をしている電源システムにおける各電源の出力電流の変動分を検出し、その検出値 $V_{ct}$ を他の並列運転中の電源に通知する電流検出回路17, 27を備え、その検出結果を加算回路18, 28で誤差增幅回路13, 23の検出結果と加算する制御を実施することによって、負荷変動に対す

る応答速度が改善される高速応答の電源システムを実現することができる。

【0031】尚、上記の説明では並列運転台数を2台としているが、2台のみに制限されない。また、上記の説明では一石フォワード型の電源回路を用いて並列運転を行っている例について述べているが、定電圧制御を行っている電源であればその電源の型式によらず本発明における効果が得られるのは明白である。

【0032】

10 【発明の効果】以上説明したように本発明によれば、並列運転される複数の電源回路と、各々電源回路の出力電圧と予め設定された基準電圧との比較を行う誤差增幅回路を含みかつ誤差增幅回路の比較結果に応じて電源回路の出力電圧を一定に保つ複数の電源制御回路とからなる電源システムにおいて、自回路に対応する電源回路の出力電流の変動分を検出し、その検出値を他回路に通知するとともに、検出値を誤差增幅回路の比較結果に加算することによって、負荷変動に対する応答速度が改善される高速応答のシステムを実現することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による電源制御回路の構成を示す図である。

【図2】図1の電流検出回路の構成例を示す図である。

【図3】図1の加算回路の構成例を示す図である。

【図4】本発明の他の実施例による電流検出回路の構成例を示す図である。

【図5】従来例による電源制御回路の構成を示す図である。

30 【符号の説明】

1, 2 電源制御回路

3

11, 21 位相補償回路

12, 22 基準電圧

13, 23 誤差增幅回路

14, 24 三角波発振回路

15, 25 パルス幅制御回路

16, 26 メイントランジ

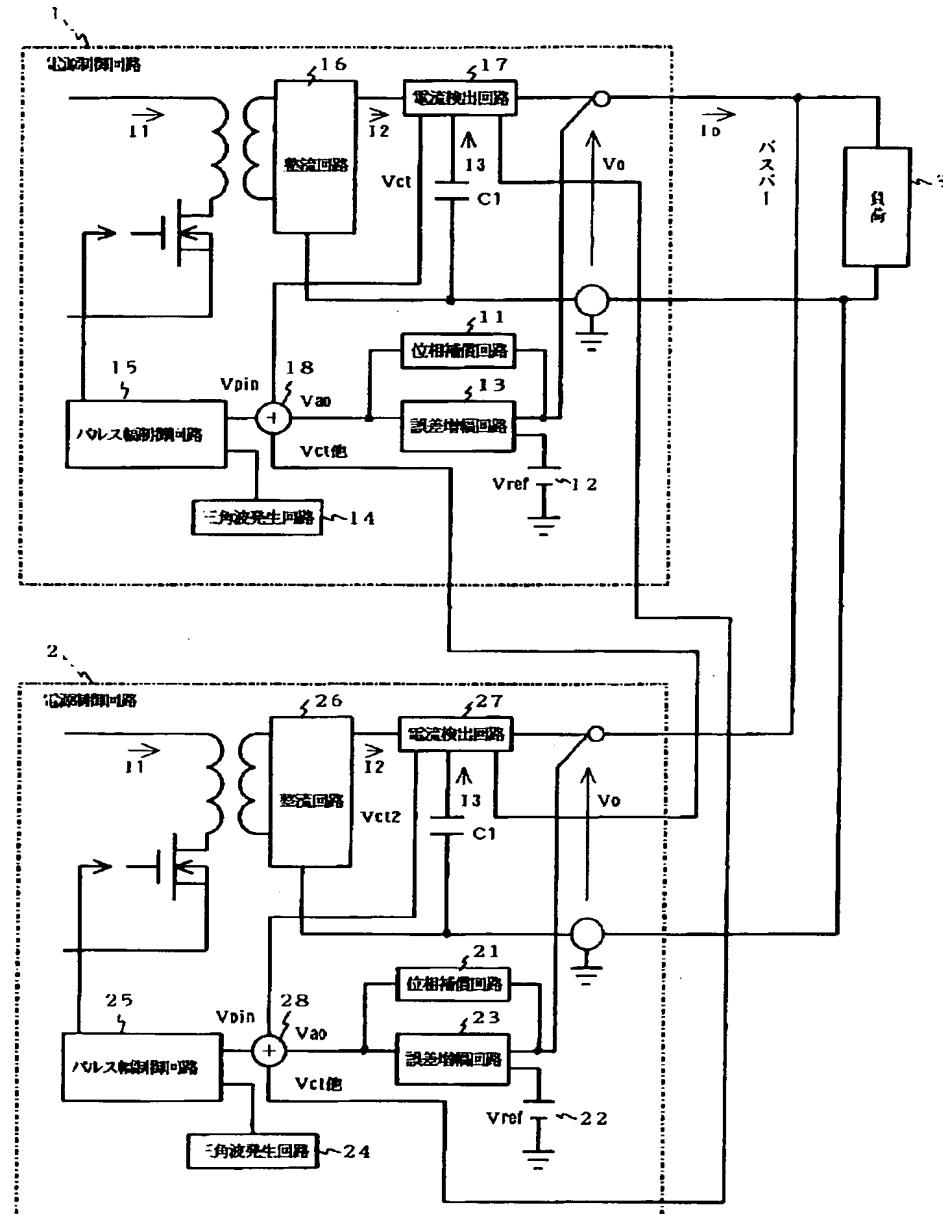
17, 27 電流検出回路

40 18, 28 加算回路

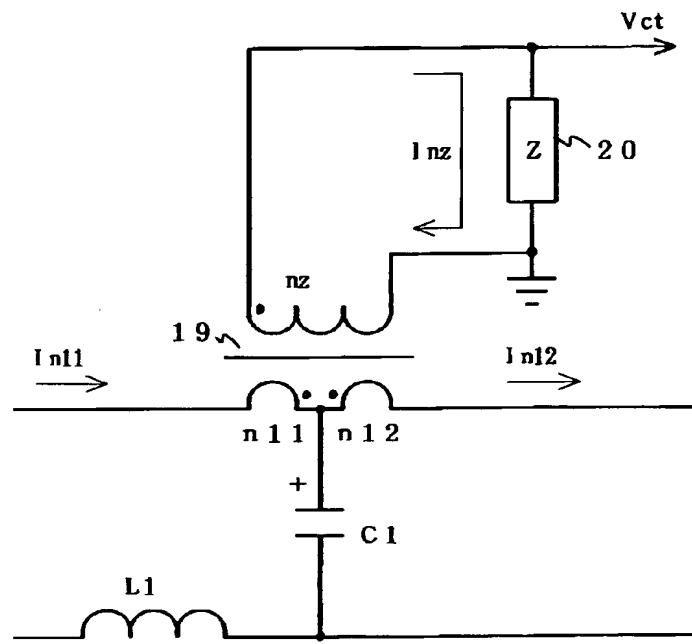
19 カレントトランジ

20 電流検出抵抗

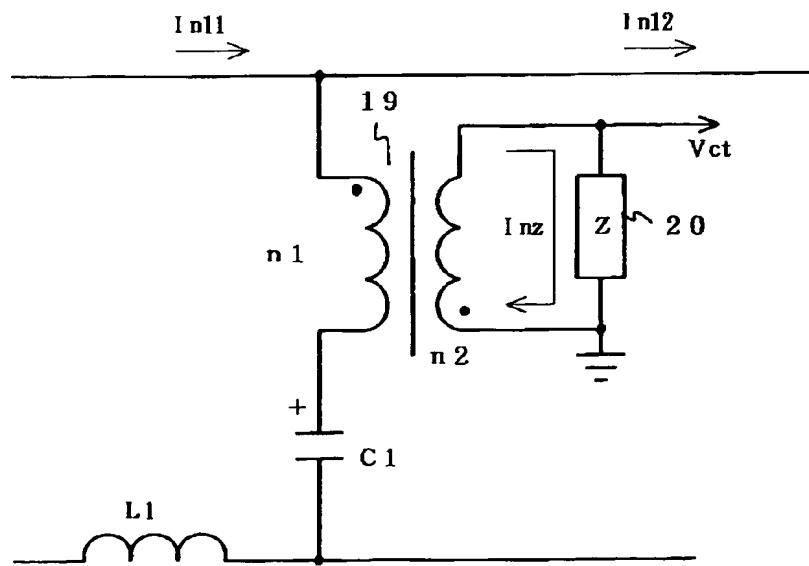
【図1】



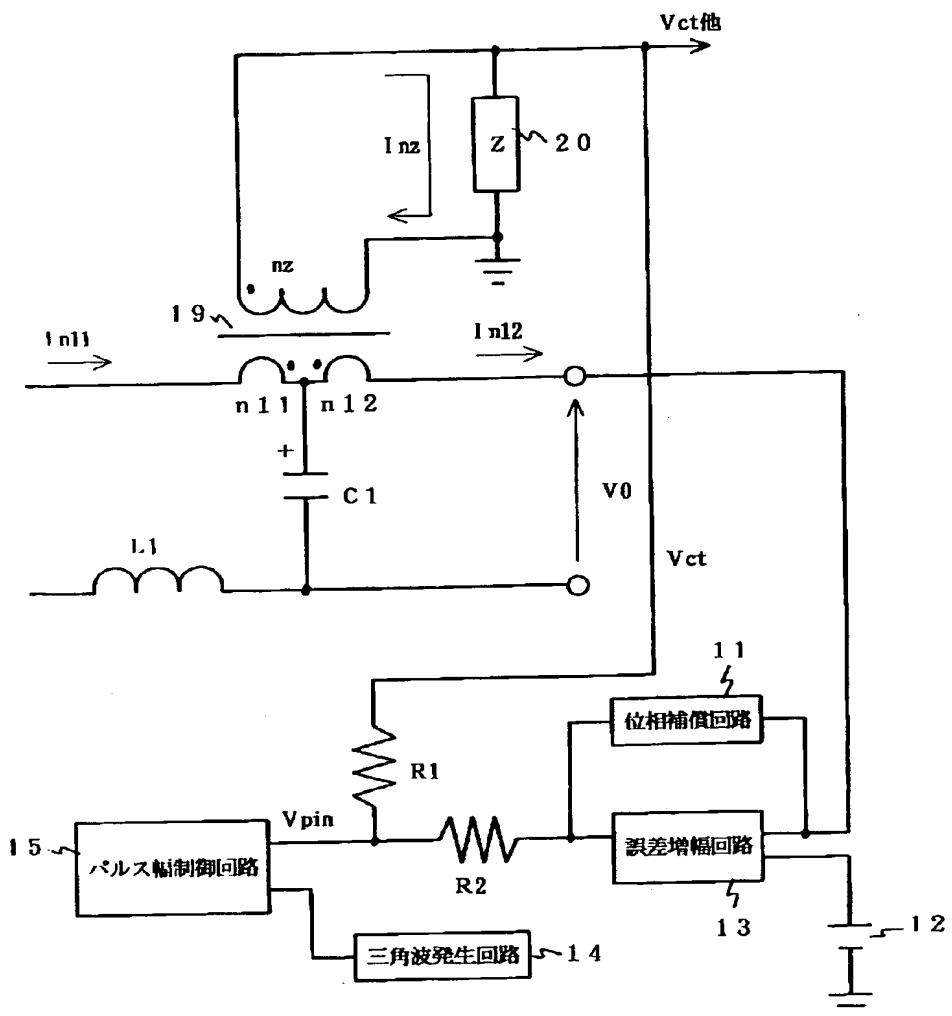
[図2]



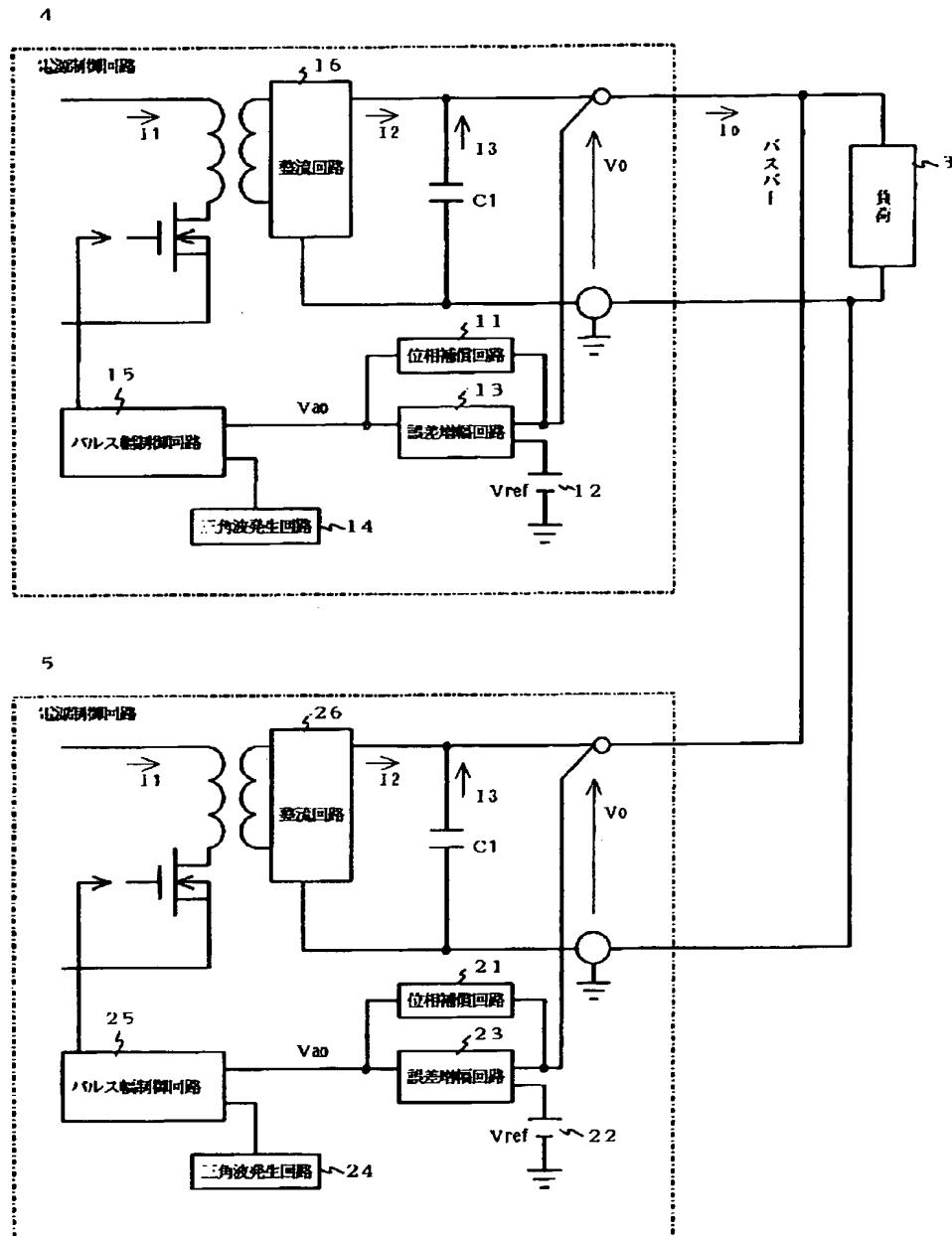
[図4]



【図3】



【図5】



## 【手続補正書】

【提出日】平成12年7月3日(2000.7.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

## 【補正内容】

【請求項1】 並列運転される複数の電源回路と、各々前記電源回路の出力電圧と予め設定された基準電圧との比較を行う誤差増幅回路を含みかつ前記誤差増幅回路の比較結果に応じて前記電源回路の出力電圧を一定に保つ

複数の電源制御回路とからなる電源システムであって、  
前記複数の電源回路各々の出力電流経路上に設けられた  
出力コンデンサと、前記出力コンデンサの充放電電流を  
検出することで自回路に対応する電源回路の出力電流の  
変動分を検出する検出手段と、前記検出手段の検出値を  
前記誤差增幅回路の比較結果に加算する加算手段とを前  
記複数の電源制御回路各々に有することを特徴とする電  
源システム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

【補正内容】

【請求項7】 前記検出手段は、前記電源回路の出力電流の変動分を検出するカレントトランスと、前記カレントトランスで検出された前記変動分による電圧値を発生して前記検出値として出力する電流検出抵抗とを含み、前記カレントトランスを前記出力コンデンサと直列に接続するようにしたことを特徴とする請求項1から請求項

5のいずれか記載の電源システム。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【課題を解決するための手段】本発明による電源システムは、並列運転される複数の電源回路と、各々前記電源回路の出力電圧と予め設定された基準電圧との比較を行う誤差增幅回路を含みかつ前記誤差增幅回路の比較結果に応じて前記電源回路の出力電圧を一定に保つ複数の電源制御回路とからなる電源システムであって、前記複数の電源回路各々の出力電流経路上に設けられた出力コンデンサと、前記出力コンデンサの充放電電流を検出することで自回路に対応する電源回路の出力電流の変動分を検出する検出手段と、前記検出手段の検出値を前記誤差增幅回路の比較結果に加算する加算手段とを前記複数の電源制御回路各々に備えている。